

METHOD AND CIRCUIT FOR RETRIEVING MINIMUM/MAXIMUM VALUE IN GROUP OF NUMBER

Publication number: JP2001236207

Publication date: 2001-08-31

Inventor: IMBERT DE TREMIOLLES GHISLAIN; LOUIS DIDIER; TANNHOF PASCAL

Applicant: IBM

Classification:

- International: G06F7/02; G06F7/22; G06F7/02; G06F7/22; (IPC1-7):
G06F7/02

- european: G06F7/22

Application number: JP20000387095 20001220

Priority number(s): EP20000480010 20000106

Also published as:

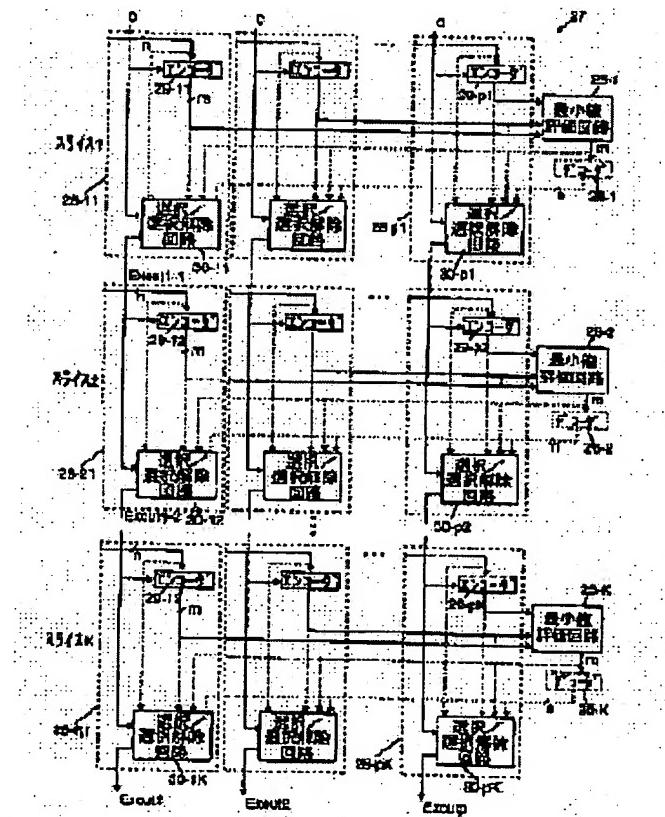
US6748405 (B2)

US2001013048 (A1)

[Report a data error here](#)

Abstract of JP2001236207

PROBLEM TO BE SOLVED: To retrieves the minimum/maximum values in the group of numbers. **SOLUTION:** At first, p numbers encoded on q bits are turned into K ($q \geq K \times n$) partial values encoded on n bits, and parameters k ($k=1-K$) for respectively assigning ranks to the partial value of each number are defined so that K bit slices can be formed, and each slice is constituted of the plural partial values having the same rank. Then, each partial value is encoded on m bits ($m > n$) by using a 'thermometric' encoding technique. Afterwards, the minimum partial value in the first slice (MSB) of the encoded partial values is decided by a parallel type retrieval, and all the numbers related with the larger partial values than the partial value are selectively released. An evaluation process is repeated in the same configuration until the last slice (LSB) is processed, and the number selected as it is in the final stage is allowed to have the minimum value.



書誌

- (19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開2001-236207(P2001-236207A)
(43)【公開日】平成13年8月31日(2001. 8. 31)
(54)【発明の名称】ナンバの集合内で最小ノ最大値を探索するための方法及び回路
(51)【国際特許分類第7版】

G06F 7/02

【FI】

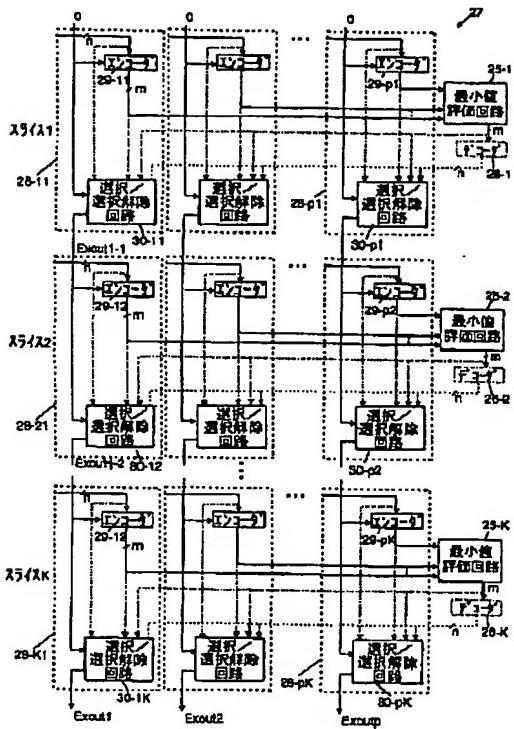
G06F 7/02 M

- 【審査請求】有
【請求項の数】9
【出願形態】OL
【全頁数】14
(21)【出願番号】特願2000-387095(P2000-387095)
(22)【出願日】平成12年12月20日(2000. 12. 20)
(31)【優先権主張番号】00480010. 8
(32)【優先日】平成12年1月6日(2000. 1. 6)
(33)【優先権主張国】欧州特許庁(EP)
(71)【出願人】
【識別番号】390009531
【氏名又は名称】インターナショナル・ビジネス・マシーンズ・コーポレーション
【氏名又は名称原語表記】INTERNATIONAL BUSINESS MACHINES CORPORATION
【住所又は居所】アメリカ合衆国10504、ニューヨーク州 アーモンク(番地なし)
(72)【発明者】
【氏名】インペール・デュ・トレミオーレ・ジズラン
【住所又は居所】フランス国06570、サン・ポール、シュマン・デュ・マルバン 920
(72)【発明者】
【氏名】ルイ・デディエール
【住所又は居所】フランス国77300、フォンテンブロー、リュ・ポール・ジョゾン 22
(72)【発明者】
【氏名】タンホフ・パスカル
【住所又は居所】フランス国77300、フォンテンブロー、ブルヴァール・オーロフ 36
(74)【代理人】
【識別番号】100086243
【弁理士】
【氏名又は名称】坂口 博(外2名)

要約

- (57)【要約】
【課題】ナンバの集合内で最小ノ最大値を探索すること。
【解決手段】qビット上に符号化されたp個のナンバの、nビット上に符号化されたK個(但し、 $q \geq K \times n$)の部分値にし、また、各ナンバの部分値にそれぞれランクを割り当てるためのパラメータk(但し、k = 1~K)を定義して、K個のビット・スライスが形成され且つ各スライスが同じランクを有する複数の

部分値から構成されるようにし、次に、「サーモメトリック」符号化技術を使用して、各部分値を、mビット(但し、 $m > n$)上に符号化する。その後、符号化した部分値の第1スライス(MSB)を対象として並列式探索により、当該スライス内の最小の部分値を決定し、当該部分値より大きい部分値に関連する全てのナンバは、選択解除する。最後のスライス LSB)が処理されるまで、評価プロセスを同じ様で反復し、終了段階で選択されたままになっているナンバが、最小値を有する。



請求の範囲

【特許請求の範囲】

【請求項1】qビット上に2進形式で符号化されたp個のナンバの集合内で最小／最大値を探索するための方法であって、(a)各ナンバをnビット上に符号化されたK個(但し、 $q \leq K \times n$)の部分値に分割するとともに、一のナンバの各部分値に一のランクを割り当てるための一のパラメータk(但し、 $k=1 \sim K$)を定義するステップと、(b)第1ランク(MSB)のnビット符号化された全ての部分値により、第1スライス($k=1$)を形成するステップと、(c)一の基本論理演算(AND、OR)により最小／最大値の評価を可能にする一の符号化技術を使用して、前記第1スライスのnビット符号化された各部分値をmビット(但し、 $m > n$)上に符号化することにより、mビット符号化された部分値の一のスライスを形成するステップと、(d)mビット符号化された部分値の前記スライスを対象として並列に探索することにより、当該スライス内で最小／最大のmビット符号化された部分値を評価するステップと、(e)前記ステップ(d)で評価された前記最小／最大のmビット符号化された部分値よりも大きい／小さいmビット符号化された部分値に関連する全てのナンバを選択解除するステップと、(f)全てのスライスが処理されて($k=K$)、選択解除されていないナンバの値に対応するものとして前記最小／最大値が評価されるまで、次のスライス($k=k+1$)を対象として前記ステップ(c)及び(d)を反復するステップとから成る、前記方法。

【請求項2】K=1、即ちn=qである場合は、前記ステップ(a)の分割する動作が行われないことを特徴とする、請求項1記載の方法。

【請求項3】nビット符号化された部分値をmビット上に符号化する前記ステップ(c)が、「サーモメトリック」符号化技術を使用して行われることを特徴とする、請求項1記載の方法。

【請求項4】 q ビット上に2進形式で符号化された p 個のナンバの集合内で最小／最大値を探索するための探索回路であって、(a) m 個の p 入力ANDゲートから成る最小／最大値評価手段を備え、前記ANDゲートは、 m ビット符号化された p 個の2進ワードの同じ重みを有する m ビットの各々について論理積演算を実行することが可能であり、(b) 各々が一のナンバに関連している、 p 個の回路ブロックを備え、前記回路ブロックの各々が、(b1) 各ナンバを n ビット上に符号化された K 個(但し、 $q \leq K \times n$)の部分値に分割するための分割手段と、(b2) n ビット符号化された各部分値を m ビット(但し、 $m > n$)符号化された一の部分値に符号化するための符号化手段であって、その入力を前記分割手段に接続され且つその出力を前記最小／最大値評価手段に接続された前記符号化手段と、(b3) 前記符号化手段に接続された選択解除手段とから成り、前記符号化手段内で使用されている符号化技術は、前記探索回路の全ての前記符号化手段により生成された m ビット符号化された部分値のうち最小／最大の部分値を、一の論理積演算を通して、評価することを可能にするものであり、前記探索回路の全ての前記符号化手段により生成された m ビット符号化された部分値は、前記最小／最大の部分値を評価するために、前記最小／最大値評価手段に与えられ、また一の回路ブロックの m ビット符号化された部分値が前記最小／最大の部分値よりも大きい／小さいときに、当該回路ブロックに関連するナンバを選択解除することができる一の排他信号Exoutを生成するために、前記選択解除手段に与えられることを特徴とする、前記探索回路。

【請求項5】前記選択解除手段が、最小／最大値評価プロセスの初期化段階で、探索すべき全てのナンバを選択するための手段を含んでいることを特徴とする、請求項4記載の回路。

【請求項6】前記選択解除手段が、一のナンバが選択解除されるときに、前記符号化手段内に一の中立値を生成するための手段を更に含んでいることを特徴とする、請求項5記載の回路。

【請求項7】前記最小／最大値評価手段が、前記 p 個の回路ブロックの各々に分散配置されていることを特徴とする、請求項4記載の回路。

【請求項8】 q ビット上に2進形式で符号化された p 個のナンバの集合内で最小／最大値を探索するための探索回路であって、(a) m 個の p 入力ANDゲートから成る最小／最大値評価手段を備え、前記ANDゲートは、 m ビット符号化された p 個の2進ワードの同じ重みを有する m ビットの各々について論理積演算を実行することが可能であり、(b) 前記最小／最大値評価手段に接続され、 m ビット符号化された一のワードを n ビット(但し、 $n < m$)符号化された一のワードに変換することが可能である復号化手段と、(c) 各々が一のナンバに関連している、 p 個の回路ブロックとを備え、前記回路ブロックの各々が、(c1) 各ナンバを n ビット上に符号化された K 個(但し、 $q \leq K \times n$)の部分値に分割するための分割手段と、(c2) n ビット符号化された各部分値を m ビット符号化された一の部分値に符号化するための符号化手段であって、その入力を前記分割手段に接続され且つその出力を前記最小／最大値評価手段に接続された前記符号化手段と、(c3) 前記分割手段及び復号化手段に接続された選択解除手段とから成り、前記符号化手段内で使用されている符号化技術は、前記探索回路の全ての前記符号化手段により生成された符号化ワードのうち最小／最大のワードを、一の論理積演算を通して、評価することを可能にするものであり、前記符号化手段により生成された m ビット符号化された部分値は、最小／最大の m ビット符号化された部分値を評価するために、他の回路ブロックによって生成された全ての m ビット符号化された部分値とともに、前記最小／最大値評価手段に与えられ、前記最小／最大の m ビット符号化された部分値は、 n ビット符号化された最小／最大の部分値を生成するために、前記復号化手段に与えられ、また当該 n ビット符号化された最小／最大の部分値は、一の回路ブロックの n ビット符号化された部分値が前記 n ビット符号化された最小／最大の部分値よりも大きい／小さいときに、当該回路ブロックに関連するナンバを選択解除することができる一の排他信号Exoutを生成するために、前記選択解除手段に与えられることを特徴とする、前記探索回路。

【請求項9】前記最小／最大評価手段が、前記 p 個の回路ブロックの各々に分散配置されていることを特徴とする、請求項8記載の回路。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ナンバ(数値)の集合内で所定の値を有する一のナンバを探索

する技術に係り、更に詳細に説明すれば、この集合内で最小／最大値を有する一のナンバを探索するための方法及び回路に係る。本発明の方法及び回路は、非常に高速の探索を可能にすることにより、応答時間を改善するだけでなく、最小／最大値の探索対象である前記集合内のナンバの量がどのようなものであろうとも、一定の応答時間提供する。

【0002】

【従来の技術】現在の計算プロセスでは、ナンバの集合内で最小／最大値を探索することが、最適化、人工ニューラル・ネットワーク、信号処理などの種々の技術分野で、広範に行われている。その結果として得られる最小／最大値は、後続の計算タスクで使用されるか、又はこれに関連する回路を選択するなどの適当な操作を行うのに利用される。この探索を可能な限り高速に行うことが極めて望ましいので、従来は、この目標を満たすために高性能で高価な専用回路のみを使用していた。現在、この重要な問題を解決するための、ハードウェア形式で実現された幾つかの解決方法が存在しており、その代表的なものは、多少の困難性を伴いつつもシリコン・チップ内に実現されている。

【0003】例えば、ナンバの集合内で最小値を有する特定のナンバを決定するための最も普通の方法は、集合内の1つのナンバを他のナンバと比較し、そのうち最小の値を有するナンバを選択し、集合内の全てのナンバが処理されるまで、選択されたナンバについて同様の処理を反復することにより、最小値を有する特定のナンバを最終的に識別するというものである。明らかに、この解決方法は、順次に実行される多くの処理ステップを必要とし、そのため応答時間が長くなるという点で、重要な欠点を有している。この解決方法及びこれから導かれた他の解決方法は、主として順次式処理アルゴリズムに基づいているために、現在の殆どのアプリケーションにとって受け入れることができない長い応答時間有している。更に、この応答時間は一層長くなることがある。なぜなら、この応答時間は、精度(前記ナンバを符号化するために使用されるビットの数q)の関数であるだけでなく、最小／最大値の探索対象である集合内のナンバの量にも依存するからである。

【0004】他の接近方法は、最小／最大値の探索対象である集合内のナンバの全体について、同じ重みを有する全てのビットを同時(並列)に評価することに向けられている。この並列式の接近方法は、ZISCO36という名称(ZISCは、IBM社の登録商標である)の下で、IBM社により製造・販売されているニューラル・シリコン・チップの拡張ファミリと関連して、最近の技術文献に記載されている。その詳細については、米国特許第5740326号を参照されたい。

【0005】図1を参照して、この接近方法の原理を簡述する。但し、qビット上に符号化されたp個のナンバ(以下「ナンバ1～p」と表記)が処理されるものと仮定する。図1の探索回路10は、p個のブロック11-1～11-p(探索すべきナンバごとに1つずつ)から成り、1つのビット・スライス(この例では前記ナンバの第2ビット(ビット2又はBit2))を処理する。q個のスライスの全てに関連して、これと同一の構造が設けられていることに留意されたい。各ブロック11は、前掲の米国特許の図28Bに示される回路と極めて類似している。例えば、ブロック11-1は、2入力のORゲート12-1、2入力のANDゲート13-1及び2入力のORゲート14-1から成る。後者の2つのゲートは、サブブロック15-1を形成し、これに関連するナンバ(この例ではナンバ1)の選択／選択解除を行うという重要な役割を有する。前掲の米国特許と同じ用語を使用すると、信号Exout₁₋₂及びBit₁₋₂が、ORゲート12-1に与えられる。信号Exout₁₋₂は、ナンバ1の状態(選択済み又は選択解除済み)を表し、Bit₁₋₂は、ナンバ1用のビット2の値を表す。これと同じ構造は、全てのブロック11-1～11-pに該当する。ORゲート12-1～12-pの出力は、p入力のANDゲート16に与えられ(ANDゲート16は、同時に処理すべきナンバと同数の入力を必要とする)、ANDゲート16からの信号は、インバータ17で反転される。ANDゲート16及びインバータ17は、ブロック18を形成する。ブロック18からの信号は、全てのANDゲート13-1～13-pの第1入力に与えられ、これらのANDゲートの第2入力は、対応するBit信号(Bit₁₋₂～Bit_{p-2})を受け取る。ANDゲート13-1～13-pの出力及び対応するExout信号(Exout₁₋₂～Exout_{p-2})は、ORゲート14-1～14-pに与えられる。ORゲート14-1～14-pからの出力信号は、前掲の米国特許の用語と整合するように、Exout₁₋₃～Exout_{p-3}と表記されている。p個のブロック11-1～11-pに共通のブロック18は、p個のナンバのビット2(1つのビット)だけの最小値を決定することを可能にする。例えば、この比較を行って最小値を選択するために、全てのナンバ1～pの1つのビットの各スライスは、最上位ビット(MSB)から最下位ビット LSB)に向かって、ステップ(例えば、クロック・サイクル)ごとに1スライスずつ順次に処理される。つまり、この接近方法の応答時

間は、スライスの量 q (即ち、ナンバ1～ p を符号化するために使用されるビットの数)の関数である。かくて、この接近方法は、 p 個のナンバについては並列的であるが、符号化された q ビットについては順次的である。そのため、 p の値がどのようなものであろうとも、計算時間は、ビット/スライスの数 q のみに依存する。図1に示すように、排他(exclusion)ビットを表す $Exout$ 信号は、最小値評価プロセス(以下「評価プロセス」と表記)中に、対応するナンバの選択/選択解除を行うために使用される。 $Exout$ 信号が論理「0」に等しい限り、或るナンバが選択され、他方、 $Exout$ 信号が論理「1」に等しいと、このナンバがすぐに選択解除される。もし、或るナンバ(例えば、ナンバ1)が、ビット*i*($i=1 \sim q$)の評価プロセス中に選択解除されたならば、 $Exout_{1-(i+1)}$ は「1」に等しく、次の全ての信号 $Exout_{1-(i+2)} \sim Exout_{1-q}$ は「1」にセットされるであろう。その結果、ナンバ1は、その値がどのようなものであろうとも、もはや考慮されることになり、そして信号 $Bit_{1-(i+1)} \sim Bit_{1-q}$ は禁止されることになる。最小値の探索に制限されている説明中の例では、評価プロセスが開始する際に、ビット1(MSB)に対応する第1スライスを選択解除してはならないので、信号 $Exout_{1-1} \sim Exout_{p-1}$ は論理「0」に強制される。

【0006】要するに、前述の接近方法は、ナンバ1～ p を符号化するために使用されるビットの量 q と同数のステップを必要としているので、探索プロセスの速度が制限されるだけでなく、シリコン領域も浪費されるのである。

【0007】

【発明が解決しようとする課題】従って、本発明の目的は、幾つかのビット・スライスを同一路由で同時に且つ並列に処理して、応答時間を大幅に改善することができる、ナンバの集合内で最小/最大値を探索するための方法及び回路を提供することにある。

【0008】本発明の他の目的は、探索対象である集合内のナンバの量がどのようなものであろうとも、一定の応答時間を与えることができる、前記方法及び回路を提供することにある。

【0009】本発明の他の目的は、シリコン・チップ内に実現される場合に、その相当な領域を節約し且つその接続性を簡単にすることができる、前記方法及び回路を提供することにある。

【0010】

【課題を解決するための手段】前記目的及び他の関連する目的は、本発明に従った方法及び回路により達成される。

【0011】本発明に従った方法は、 q ビット上に2進形式で符号化された p 個のナンバの集合内で最小/最大値を探索するための方法に向けられている。この方法は、(a)各ナンバを n ビット上に符号化された K (但し、 $q \leq K \times n$)個の部分値に分割するとともに、一のナンバの各部分値に一のランクを割り当てるための一のパラメータ k (但し、 $k=1 \sim K$)を定義するステップと、(b)第1ランク(MSB)の n ビット符号化された全ての部分値により、第1スライス($k=1$)を形成するステップと、(c)一の基本論理演算(AND、OR)により最小/最大値の評価を可能にする一の符号化技術を使用して、前記第1スライスの n ビット符号化された各部分値を m ビット(但し、 $m > n$)上に符号化することにより、 m ビット符号化された部分値の一のスライスを形成するステップと、(d) m ビット符号化された部分値の前記スライスを対象として並列に探索することにより、当該スライス内で最小/最大の m ビット符号化された部分値を評価するステップと、(e)前記ステップ(d)で評価された前記最小/最大の m ビット符号化された部分値よりも大きい/小さい m ビット符号化された部分値に関連する全てのナンバを選択解除するステップと、(f)全てのスライスが処理されて($k=K$)、選択解除されていないナンバの値に対応するものとして前記最小/最大値が評価されるまで、次のスライス($k=k+1$)を対象として前記ステップ(c)及び(d)を反復するステップとを含んでいる。

【0012】本発明に従った回路は、 q ビット上に2進形式で符号化された p 個のナンバの集合内で最小/最大値を探索するための探索回路に向けられている。この探索回路は、(a) m 個の p 入力ANDゲートから成る最小/最大値評価手段を備え、前記ANDゲートは、 m ビット符号化された p 個の2進ワードの同じ重みを有する m ビットの各々について論理積演算を実行することが可能であり、(b)各々が一のナンバに関連している、 p 個の回路ブロックを備え、前記回路ブロックの各々が、(b1)各ナンバを n ビット上に符号化された K (但し、 $q \leq K \times n$)個の部分値に分割するための分割手段と、(b2) n ビット符号化された各部分値を m ビット(但し、 $m > n$)符号化された一の部分値に符号化するための符号化手段であって、その入力を前記分割手段に接続され且つその出力を前記最小/最大値評価手段に接続された前記符号化手段と、(b3)前記符号化手段に接続された選択解除手段とから成り、

前記符号化手段内で使用されている符号化技術は、前記探索回路の全ての前記符号化手段により生成されたmビット符号化された部分値のうち最小／最大の部分値を、一の論理積演算を通して、評価することを可能にするものであり、前記探索回路の全ての前記符号化手段により生成されたmビット符号化された部分値は、前記最小／最大の部分値を評価するために、前記最小／最大値評価手段に与えられ、また一の前記回路ブロックのmビット符号化された部分値が前記最小／最大の部分値よりも大きい／小さいときに、当該回路ブロックに関連するナンバを選択解除することができる一の排他信号Exoutを生成するために、前記選択解除手段に与えられるようになっている。

【0013】かくて、本発明の方法は、全てではないにしても殆どの計算を並列化することにより、最小／最大値を探索する際の応答時間を大幅に改善することができる。その結果、この方法は、もはや探索すべきナンバを符号化するためのビットの量qに依存しないので、評価プロセスのステップ数を相当に少なくすることができる。

【0014】

【発明の実施の形態】本発明の一般的な側面に従って、qビット上に符号化された各ナンバの値は、nビット上に符号化されたK個の一層小さい値(以下「部分値」と表記)に分割される。次に、nビット符号化されたこれらの部分値は、適切なエンコーダを使用して、mビット上に符号化される。その結果、各部分値を1ステップ内で調べるので、探索プロセスを著しく高速化することができる。かかる分割及び符号化機能を使用することは、本発明の基本的な特徴に相当する(しかし、n=qである特殊なケースでは、分割が不要であることに留意されたい)。他方、デコーダを使用すると、本発明の探索回路を物理的に実現するのに最終的に必要とされるハードウェアを著しく簡略化することができる。

【0015】図2には、部分的な並列動作を可能にする、本発明の基本的な探索回路19の構成が示されている。説明を簡潔にするため、前述の例と同様に、p個のナンバ(ナンバ1～p)の集合内で最小値を探索するものと仮定する。なお、最小値の探索と最大値の探索とは極めて類似しているから、最小値の探索に係る以下の説明は、最大値の探索にも直接的に該当するであろう。図2に戻ると、探索回路19は、同一構造を有するp個のブロック20-1～20-pから成る。説明の便宜上、ブロック20-1内の要素を中心に説明する。このブロック内のレジスタ21-1は、2進形式で、この例では、qビット上に符号化されたナンバ1を格納する。部分値抽出回路22-1は、レジスタ21-1の内容を、各々がnビット上にそれぞれ符号化された、K個の部分値に分割する。但し、 $q \leq K \times n$ の関係が成立し、K=1は分割の不在を示すものとする。また、ナンバ1(一般には、集合を構成する全てのナンバ)を形成する各部分値のランクを定義するための変数k(k=1～K)を導入することにより、並列に処理すべき複数ビットから成る各スライスを定義するものとする。実際には、レジスタ21-1は、必ずしもブロック20-1内に設ける必要はなく、外部レジスタ又はRAMとして設けてもよい。

【0016】本質的に、部分値抽出回路22-1は、シフト・レジスタであって、全てのナンバ用のスライス1～Kからの部分値を順次に出力するように、そのシフト制御入力を制御論理CL(詳細に図示せず)内のシーケンサに接続されている。ここで理解するのが重要である点は、各スライスを形成している同じランクの全ての部分値が、評価プロセス中に、1ステップ内で処理されるということである。選択解除されるナンバについては、その部分値は、評価プロセス中に影響を有しない中立値(例えば、最小探索の場合は、連続するn個の「1」)により置換される。更に、ブロック20-1は、エンコーダ23-1及び選択／選択解除回路24-1を含んでいる。エンコーダ23-1は、nビット符号化された各部分値ごとに、これに対応するmビット符号化された部分値を生成し、これを選択／選択解除回路24-1の(m本の線から成る)第1入力に与え、また図1のブロック18と同様の最小値評価回路25にも与える。最小値評価回路25の出力は、選択／選択解除回路24-1の(m本の線から成る)第2入力に与えられる(これと同様の構造は、探索回路19内の他のブロック20についても該当する)。最後に、選択／選択解除回路24-1の出力は、それぞれの接続を介して、排他信号Exout₁を部分値抽出回路22-1又はエンコーダ23-1に与えることにより、ナンバ1が選択解除される際に1組の中立ビットを強制する。

【0017】選択／選択解除回路24-1～24-pの各々は、評価プロセスの初期化段階で、全てのナンバ1～pが選択されるように、制御論理CLに接続されたラッチを含んでいる。かくて、初期化段階では、信号Exout₁～Exout_pが論理「0」にセットされるので、全てのナンバを処理することが可能となる。このように、探索回路19は、第1動作モードに従って機能するように適合される。即ち、この第1

動作モードでは、エンコーダ23-1～23-pにより生成された部分値と、(最小値評価回路25により決定された)mビット符号化形式の最小部分値とが、選択／選択解除回路24-1～24-p内でそれぞれ並列に比較される。選択／選択解除回路24-1～24-pは、前掲の米国特許と同様のナンバを選択／選択解除するという役割を有する、排他信号Exout₁～Exout_pを生成する。或るExout信号が論理「0」に等しい場合、この信号は次の部分値が選択されることを可能にし、他方、或るExout信号が論理「1」に等しい場合、この信号は前記のように1組の中立ビット(連続するn個の「1」)を強制することにより、その部分値を禁止する。所定のランクを有する部分値の各スライスを評価する間に、ナンバを選択又は選択解除するためには、かかる排他信号を使用することが必要となる。或る部分値を評価した結果に応じて対応するナンバが選択解除されるとすぐに、そのナンバの(まだ未処理の)次の部分値の実際の値は、評価プロセスの後続ステップ中には考慮されないことになる。要するに、探索回路19の動作は、p個のナンバが同時に処理されるという意味で本質的に並列的であるが、これらのナンバがnビット符号化された部分値のスライス単位で処理されるという点で部分的に順次的に留まる。最小値は、依然として選択されているナンバ(即ち、論理「0」に等しいExout信号を有するナンバ)のレジスタ内に見出すことができる。

【0018】第2動作モードでは、デコーダ26が使用される。この場合、エンコーダ23-1と選択／選択解除回路24-1～24-pとの間の前述の接続はもはや存在せず、最小値評価回路25と選択／選択解除回路24-1～24-pとの間の前述の接続も存在しない(エンコーダ23-1と最小値評価回路25との間の接続が残存するだけである)。説明中の例では、部分値抽出回路22-1の出力は、選択／選択解除回路24-1の第1入力に接続されている。最小値評価回路25の出力は、もはや選択／選択解除回路24-1～24-pには直接的に与えられておらず、デコーダ26に与えられている。一方、デコーダ26の出力は、選択／選択解除回路24-1～24-pの第2入力にそれぞれ与えられる。これと同様の構造は、探索回路19内の他のブロック20についても該当する。その結果、これらの部分値と(最小値評価回路25により評価された)最小部分値との間の比較が依然として行われるが、この第2動作モードでは、符号化形式(mビット)の代わりに、非符号化形式(nビット)で比較が行われる。この第2動作モードは、図2の点線により例示されている。デコーダ26を使用することに価値があるのは、最小／最大値の探索が大量のナンバを対象として行われる場合である。なぜなら、そのような場合にデコーダ26を使用すると、各選択／選択解除回路24内のハードウェアを著しく簡略化することができるからである。

【0019】図3は、本発明に従って完全な並列動作を可能とするように、図2の探索回路19から直接的に導かれた、他の探索回路27を示している。この探索回路27では、図2の部分値抽出回路23はもはや必要ではない。また、図2のブロック20の要部は、エンコーダ29及び選択／選択解除回路30のみを含むものとして、参照番号28を付して示されている。(K個のスライスのうちの)各スライスは、前述のように対応するレジスタ内に格納された、所定のランクの部分値を処理するように専用化される。図2の探索回路19との主要な相違点は、次のスライスのエンコーダ及び選択／選択解除回路に与えられる信号Exoutの利用態様にある。図3に示すように、信号Exout₁₋₁は、エンコーダ29-12及び選択／選択解除回路30-12に与えられる。ここで、評価プロセスが開始される際に、第1スライスの全ての部分値が選択されるように、論理「0」がスライス1(MSB)のエンコーダ29-11～29-p1に与えられることに留意されたい。

【0020】前述の説明において、本発明は、最小値を探索するための最小値評価回路25に限定されるものではなく、集合内の最大値又は所定の値を探索するように適合された全ての回路をも包含するものと理解すべきである。

【0021】図2及び図3にそれぞれ示されているエンコーダ23及び29の目標は、nビット符号化された部分値を、mビット符号化された部分値に変換することにある($m > n$)。更に、これらのエンコーダは、最小部分値の評価を同一ステップ内で全てのmビットについて行うことを可能にするために、或る特性を有しなければならない。パラメータn、g、K及びmの間の関係については、以下で詳述する。さしあたり、これらの関係は、速度(Kは最小でなければならず、従ってnは可能な限り大きい数でなければならない)とハードウェア接続性(線の本数)との間の最良の妥協により決められることを指摘しておけば十分であろう。例えば、技術文献で「サーモメトリック」(又は「バロメトリック」)符号化と一般に呼ばれている符号化技術が、全ての点で適切である。図4に示すように、この「サーモメトリック」符号化技術は、 LSBから開始する方向における1の数が符号化数の値を決定する、という特定の2進

符号化方式である。例えば、0011111は、符号化値5(標準の符号化方式を用いた場合の符号化値は000101)に対応し、0001111は、符号化値4(標準の符号化方式を用いた場合の符号化値は000100)に対応し、0000111は、符号化値3(標準の符号化方式を用いた場合の符号化値は0000111)に対応し、0111111は、符号化値6(標準の符号化方式を用いた場合の符号化値は00110)に対応する。この符号化技術を表すのにサーモメトリック(又はパロメトリック)という用語が使用されるのは、この符号化技術が、あたかも目盛り上の水銀柱レベルに対応する温度(又は圧力)値を読み取るのと同じように見えるからである。

【0022】図4(a)には、複数の部分値について並列式探索を簡単に行うことを可能にする、この符号化技術の実例が示されている。図示のように、(対応するナンバ1～4を分割することにより得られた)4つの部分値1～4は、同じランクを有し(即ち、同じスライスに属する)、 $m=7$ ビット(ビット0～6)上に符号化されている。これらの部分値1～4は、そのスライスの最小部分値を評価するために並列式に処理される。所望の結果(最小部分値)を得るために、同じ重みを有する全てのビットについて論理積(AND)演算が行われる。図示の例では、部分値1～4の値は、5、4、3及び6である。かくて、最小部分値は部分値3であり、その値は3に等しい。

【0023】図4(b)には、図4(a)の例の変形が示されている。図4(b)から明らかなように、部分値1～4及び最小部分値の各々について、「0」に等しい最初のビットの後の任意のビットは、有意ではないから、値「0」又は「1」の何れか、この例では「X」(ドントケア)により表すことができる。

【0024】しかし、周知のように、前述の「サーモメトリック」符号化技術とは別の符号化技術又はその変形が存在する。更に、LSB(ビット0)からMSB(ビット6)に向かって処理する代わりに、その反対の(MSBからLSBに向かう)方向に処理することも可能である。同様に、相補論理が使用される場合には、ド・モルガンの法則に従って、ANDゲートの代わりにORゲートが使用されなければならない。実際には、スライスのための最小部分値の評価を並列に行うことを可能にするものであれば、どのような符号化技術も適当であろう。本発明の基本的な特徴は、前述の符号化技術に従って、前記評価を基本論理関数(この例では論理積演算)により行うことを可能にする点にある。

【0025】要するに、全体的な評価プロセスでは、各スライスの最小部分値を決定するために、同じランクを有するp個の符号化された部分値の全てが同時に処理されるのである。MSBからLSBに向かう方向において、同じランクの各スライスは、m個のp入力ANDゲートを使用して並列に処理される。その結果、部分値の集合内の最小値は、1ステップだけで、探索することができる。図2の探索回路19を使用すると、ナンバ1～pの各々を形成しているqビットの全体が処理されるまで、K個の部分値がランク(又はスライス)ごとに順次に処理される。しかし、図3の探索回路27を使用すると、K個の部分値を並列に処理することができる。両方のケースにおいて、或るナンバが選択解除されるとすぐに、残存する部分値がもはや処理されないことに留意されたい。なぜなら、これらの部分値は、1組の中立ビット(前出)により置換されるからである。

【0026】次に、図2のハードウェアと整合する図5のアルゴリズム31を参照して、本発明の方法を詳述する。このアルゴリズム31は、ボックス32～39(ステップA～Hに対応)から成り、デコーダ26の使用に依存する前述の第2動作モードをサポートする。

【0027】図5に戻ると、評価プロセスの初期化段階で、最小値の探索対象である全てのナンバが選択される。各ナンバは、K個の部分値に分割される。処理の準備ができている(MSBを表す)最初のランクの部分値を得るために、このランクに関係する変数k($k=1 \sim K$)が1にセットされる(ステップA)。一般化して説明すると、各ナンバごとに、ランクkの部分値が選択される(ステップB)。次に、これらの選択された部分値についての最小値探索評価を单一ステップで行うために、これらの部分値は、図3に関連して既に説明した「サーモメトリック」符号化技術を使用して符号化される(ステップC)。この段階で、前記選択された全ての部分値内の最小部分値を評価することが可能である(ステップD)。この最小部分値が復号化された後(ステップE)、この最小部分値より大きい部分値に関連する全てのナンバを選択解除するために、この最小部分値が選択された部分値と比較される(ステップF)。この選択解除ステップの後、LSBを表す部分値に達したか否か、即ちk=Kが成立するか否かを決定するためのテストが行われる(ステップG)。このテスト結果が否定的であれば、部分値の次のランクが選択されて前述と同様に処理されるように、変数kをインクリメントすることにより、ステップB～Gの前述のシーケンスが反復される(ステップH)。他方、ステップGのテスト結果が肯定的であれば、評価プロセスが停止されて、評価済みの最小値がユーザに利用可能となる。かくて、この最小値は、依然

として選択解除されていないブロックに関連するナンバの値である。もし、このアルゴリズム31が或る時間フレーム内で(即ち、順次に)実行されるのであれば、これは図2の探索回路19と整合している。他方、このアルゴリズム31が或る空間フレーム内で(即ち、並列に)実行されるのであれば、これは図3の探索回路27と整合している。

【0028】第1動作モードでは、ステップEはもはや必要でなく、選択済みの符号化された部分値と符号化された最小部分値との間の比較が行われる。

【0029】図6に示されている実例に即して、前記方法を説明する。図6(a)から明らかのように、この例では、最小値の探索対象である4つのナンバ($p=4$)14、57、14及び9は、 $q=6$ ビット上に符号化される。初期化段階で、これらの全てのナンバが選択される。各ナンバを $n=3$ ビット上に符号化された2つの部分値($K=2$)に分割するものと選択し、変数kを1にセットする(ステップA)。スライス1(MSB)を形成しているランク1の部分値が選択されて、処理の準備が行われる(ステップB)。次に、図3に関連して既に説明した「サーモメトリック」符号化技術を使用して、これらの部分値が $m=7$ ビット上に符号化される(ステップC)。一例を挙げると、部分値001は、0000001になる。この段階で、選択された全ての部分値の各ビットについて論理積演算を行う最小値評価回路25を使用して、最小部分値を評価することが可能である(ステップD)。図6(b)は、本発明の基本的な特徴に従って、結果が完全に並列の態様で且つ单一ステップで得られることを明らかにするために、ステップDを一層詳細に示したものである。もし、システムの性能が許容すれば、前記单一ステップは、单一のクロック・サイクルから成る。説明中の例で得られる最小部分値は、0000001である。再び図6(a)を参照すると、この最小部分値は復号化され、この例では001に等しくなる(ステップE)。次に、この最小部分値は、それよりも大きい部分値に関連する全てのナンバを選択解除するために、選択された各部分値と比較される(ステップF)。その結果、57の値を有するナンバ2が選択解除される。なぜなら、その部分値「111」が最小部分値「001」より大きいからである。そして、選択解除済みを表す記号「D」がそれに割り当てられる。そのナンバの残存する部分値は、中立値(1111111)を割り当てられる。他のナンバは選択されるままに留まり、選択済みを表す記号「S」がそれらに割り当てられる。次に、未処理の部分値が残っているか否かを決定するためのテストが行われ(ステップG)、図6(a)の例の場合はそのテスト結果が肯定的となるから、前述のステップB～Gのシーケンスを、今度はLSB($k=2$)について反復することが必要である。スライス2を形成している第2ランクの部分値を処理している間、ナンバ1及び3は選択解除されるから、評価プロセスの終わりに、ナンバ1～3は選択解除されており、従って勝者は9の値(2進値=0010001)を有するナンバ4である。その結果、6ビット上に符号化された4つのナンバ1～4の最小値は、2ステップで見出された($K=2$)。従って、前述のように、この応答時間は、最小値の探索対象であるナンバの量 p (この例では4)や、パラメータ q (この例では6)の何れにも依存しないが、これらのナンバの分割数を定義するパラメータ K (この例では2)に依存する。かくて、これらのナンバが符号化されるビットの数よりも少ないステップ数で、これらのナンバの集合内でその最小値を探索することが可能である。実際、 q ビット上に符号化されたナンバについては、その処理に必要なステップ数は、 q よりも小さい K に等しい(この例では、 $q=6$ 、 $K=2$)。常に、最適な1組のパラメータを見出すことが可能である。そうするためには、 m (接続性)の所望の値に到達するように、 K (必要とされるステップの数、従って速度)及び n (部分値のサイズ)について適切な値を選択すればよい。この最適な1組のパラメータは、絶対的なものではなく、アプリケーションの目標や、物理的な実施例のために使用される技術、所望のシステムの性能などに依存する。

【0030】次に、図7を参照して、デコーダ26を備えていない図2の探索回路19の第1実施例を説明する。この実施例では、各部分値は、 $n=3$ ビット上に符号化される。これらの3ビットは、a～cとして表記され、そのうちaがMSBを表すものとする。本発明の方法では、古典的な「サーモメトリック」符号化技術が使用されているために、図3に示すように、部分値を符号化するためには7ビット($w_0 \sim w_6$)が必要である。

【0031】図7に示されている回路40は、図2の探索回路19の主な要素(即ち、エンコーダ23、選択／選択解除回路24及び最小値評価回路25)を含んでいる。

【0032】この第1実施例では、エンコーダ23(例えば、23-1)を表す論理式は、次の通りである。

$w_0 = a + b + cw_1 = b + cw_2 = (a, b) + cw_3 = cw_4 = (a+b), cw_5 = b, cw_6 = a, b, c$ 【0033】

図7には、これらの論理式を満足するエンコーダ23の詳細な物理的構造が示されている。説明の便宜上、最小値評価回路及び選択／選択解除回路には、図2及び図3のものと同じ参照番号25及び2

4-1～24-pが付されている。これらの回路は、図1の回路18及び15から直接的に導くことができる。図7に示すように、出力信号Exout₁は、セット入力Sを介してラッチ41-1に格納された後、いかなる用途にも利用できるようになっている。他方、ラッチ41-1のリセット入力RSは、制御論理CLに接続されている。この実施例では、信号Exout₁は、部分値抽出回路22-1(図2)に与えられる。初期化の段階では、評価プロセスが開始する前に全てのナンバが選択されるように、全てのラッチ41-1～41-pは「0」にセットされる。

【0034】次に、図8を参照して、図2の探索回路19の第2実施例を説明する。第2実施例が好ましいとされる所以は、それが時間遅延を増加させることなく、必要なハードウェアを著しく簡略化するからである。回路42は、図2の探索回路19の全体に共通の、デコーダ26を使用することを基礎としている。この第2実施例では、エンコーダ23'を構成する回路要素は、図7に示したエンコーダ23のそれとは異なっている。なぜなら、この第2実施例では、図3に関連して説明した「サーモメトリック」符号化技術の変形が使用されているからである。前述と同様に、部分値が3ビットのa～c上に符号化されるものと仮定する。

【0035】この第2実施例では、エンコーダ23'(例えば、23'-1)を表す論理式は、次の通りである。 $w_0 = a + b + c + Exout_1$, $w_1 = a + b + Exout_1$, $w_2 = a + c + Exout_1$, $w_3 = a + Exout_1$, $w_4 = b + c + Exout_1$, $w_5 = b + Exout_1$, $w_6 = c + Exout_1$, 【0036】図7の回路40では、Exout信号が部分値抽出回路22を制御していたのに対し、図8の回路42では、Exout信号はエンコーダ23'を制御する。

選択／選択解除回路24'-1を構成する基本回路要素は、図7の選択／選択解除回路24-1に比較して大幅に単純化されているが、依然としてラッチ41-1を包含している。標準的な構造を有するデコーダ26の役割は、7ビットの符号化ワード(w0～w6)を3ビットの符号化ワードに変換することである。最小値評価回路に関する限り、それほど違いはない。回路42のデコーダ26の出力には、選択／選択解除回路24'(図8)を駆動するための3本の線だけしか存在しないのに対し、回路40の最小値評価回路25の出力には、選択／選択解除回路24(図7)を駆動するための7本の線が存在することに留意されたい。これらの簡略化が得られたのは、回路42内に若干の領域を追加してデコーダ26を設けるようにしたからである。ナンバの量pが10より大きくなると、デコーダ26を設けるメリットが生ずる。

【0037】図9は、図3に示した探索回路27の最初のビット・スライス(スライス1)を処理する回路の主要な要素を示している。図9に示されている実施例43-1は、(エンコーダ23'と同じ)エンコーダ29、(選択／選択解除回路24'と同じ)選択／選択解除回路30、(最小値評価回路25'と同じ)最小値評価回路25及びデコーダ26を含んでいる。回路43-1は、図8の回路42と基本的に同じ構成を有し、その相違点は、選択／選択解除回路24'内にラッチ41を設けることがもはや必要でないということである。

【0038】デコーダ26を備えていない図7の実施例の1つの重要な利点は、システム・テスト機能に関係する。この場合、最小値は、7本の線上でプローブを介して検知することができるので、これを容易に解釈することができる。その結果、潜在的な任意のショート又はオープンの検知が非常に簡単である。他方、デコーダ26を備えていないために、図8の3本の線よりも相当に多い7本の線を使用して、選択／選択解除回路24を駆動しなければならない。

【0039】図7～図9を参照して説明した実施例は、n=3ビット上に符号化された部分値に向かっている。エンコーダ23の出力において必要とされる線の本数は、mに等しく、 $m = 2^n - 1$ によりnと関係付けられる。以下の表1は、必要とされるステップの数Kと、必要とされる線の本数mと、或る部分値を符号化するためのビット数nとの関係を示している。この表1を利用すると、アプリケーションに関する応答時間(即ち、ステップの数)と、線の本数とに関係する最適のトレードオフを選択することができる。

【0040】

【表1】

部分値を符号化するためのビット数 n	必要なステップの数(従来技術の順次式方法)	必要なステップの数 K(本発明)	必要な線の本数 m
16	16	16	$1=2^1 - 1$
16	16	8	$3=2^2 - 1$
14	14	7	
12	12	6	
10	10	5	
8	8	4	$7=2^3 - 1$
15	15	5	
12	12	4	
9	9	3	
6	6	2	$15=2^4 - 1$
16	16	4	
12	12	3	
8	8	2	
4	4	1	$31=2^5 - 1$
15	15	3	
16	16	2	$255=2^8 - 1$

【0041】図8及び図9に示したように、エンコーダは、高速の符号化動作を行うために、各部分値に関連付けられている。本発明によれば、必要とされるハードウェアのサイズを減少させるために、探索回路の全体について1つのデコーダだけを使用できることを理解すべきである。更に、図2の探索回路19及び図3の探索回路27において、最小／最大評価回路25及びデコーダ26は、ブロック20-1～20-p及び(スライス1用の)ブロック28-11～28-1pにそれぞれサービスするための2つの共通ユニットとして実現されたが、これらを前記ブロックの各々に分散させることも可能である点に留意されたい。特に、(一方の入力を先行するブロックに接続し、出力を次のブロックに接続する)2入力のANDゲート又は標準的なドットANDを使用して、論理積演算機能を各ブロック内に分散させることは、価値があるだろう。

【0042】

【発明の効果】以上のように、本発明によれば、全てではないにしても殆どの計算を並列化することにより、最小／最大値を探索する際の応答時間を大幅に改善することができる。その結果、本発明の方法及び回路は、もはや探索すべきナンバを符号化するためのビットの量qに依存しないので、最小／最大値評価プロセスのステップ数を相当に少なくすることができる。

図の説明

【図面の簡単な説明】

【図1】p個のナンバから成る集合のビット・スライスについて最小／最大値探索を行うための従来の探索回路の構成を示すブロック図である。

【図2】qビット上に符号化されたp個のナンバ(ナンバ1～p)の集合を対象として最小／最大値探索を行うための探索回路であって、本発明の第1推奨実施例に従って、qビットが部分的に並列式に処理

されるようにした探索回路の基本構成を示すブロック図である。

【図3】本発明の第2推奨実施例に従って、qビットが完全に並列式に処理されるようにした図2の探索回路の他の構成を示すブロック図である。

【図4】通常のサーモメトリック符号化技術の2つの変形例を示す図である。

【図5】本発明の方法の基礎を成すアルゴリズムのステップを示す流れ図である。

【図6】説明の便宜上、4個のナンバから成る集合を対象として最小値を探索するものとして本発明の方法の特定ステップを説明する図である。

【図7】デコーダを備えていない図2の探索回路の主な回路要素の実施例を示す図である。

【図8】デコーダを備えている図2の探索回路の主な回路要素の実施例を示す図である。

【図9】デコーダを備えている図3の探索回路のスライスの主な回路要素の実施例を示す図である。

【符号の説明】

19、27 探索回路

20、28 ブロック

21 レジスタ

22 部分値抽出回路

23、29 エンコーダ

24、30 選択／選択解除回路

25 最小値評価回路

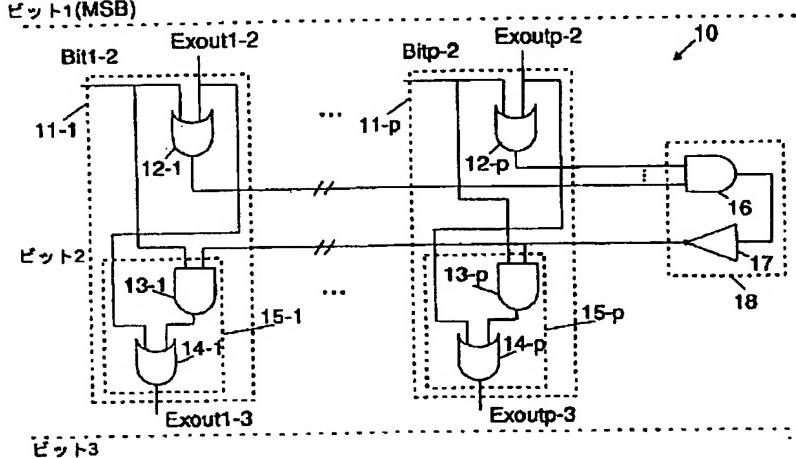
26 デコーダ

41 ラッチ

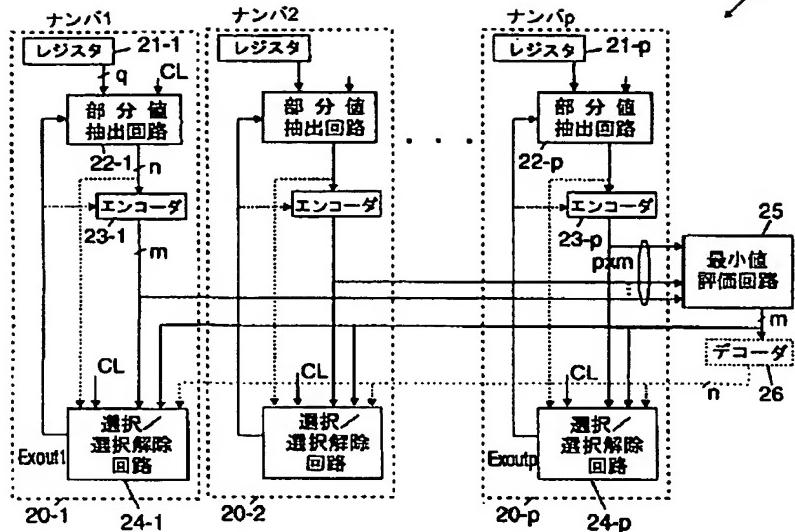
図面

【図1】

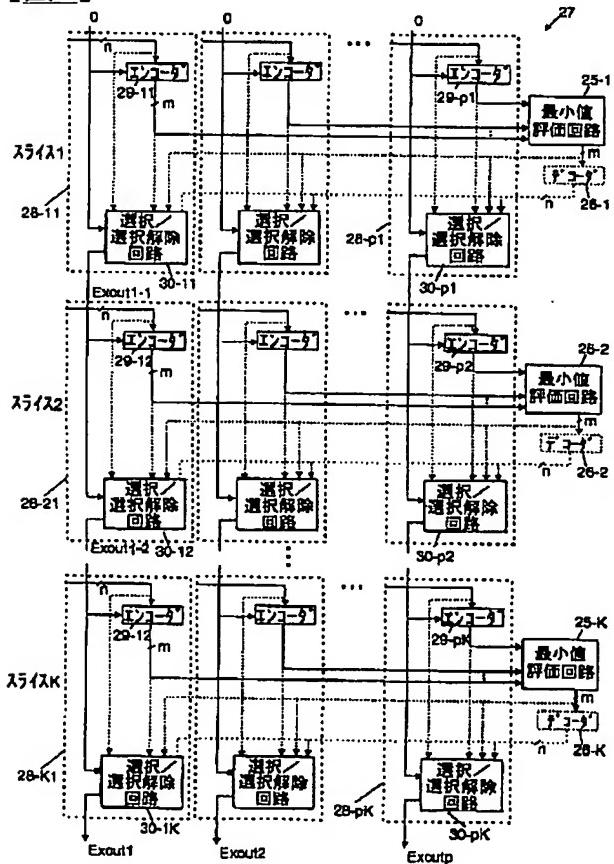
ビット1(MSB)



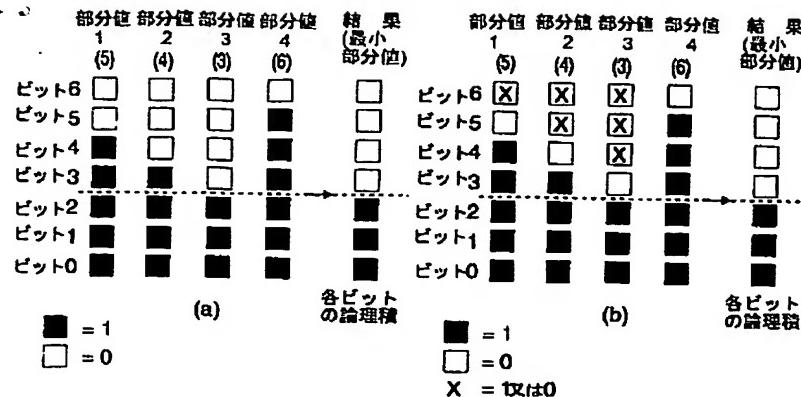
【図2】



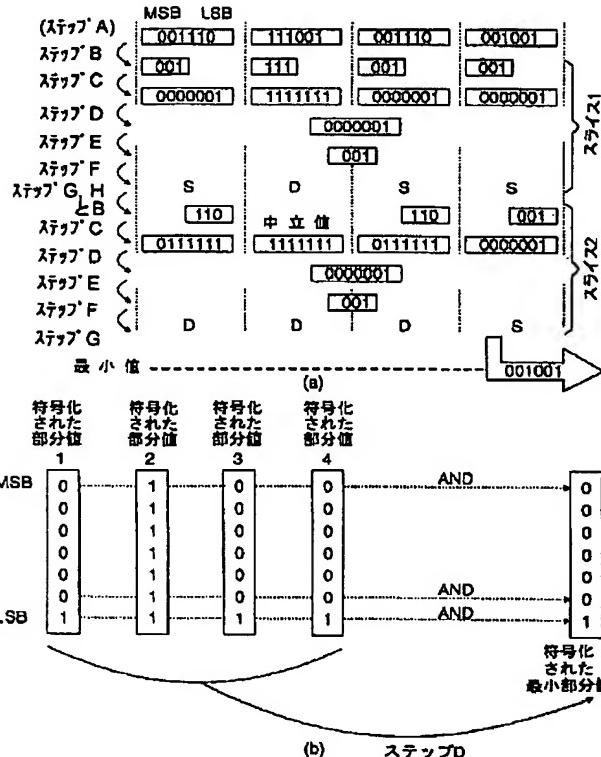
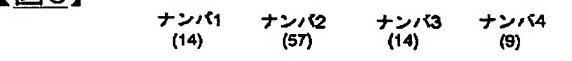
【図3】



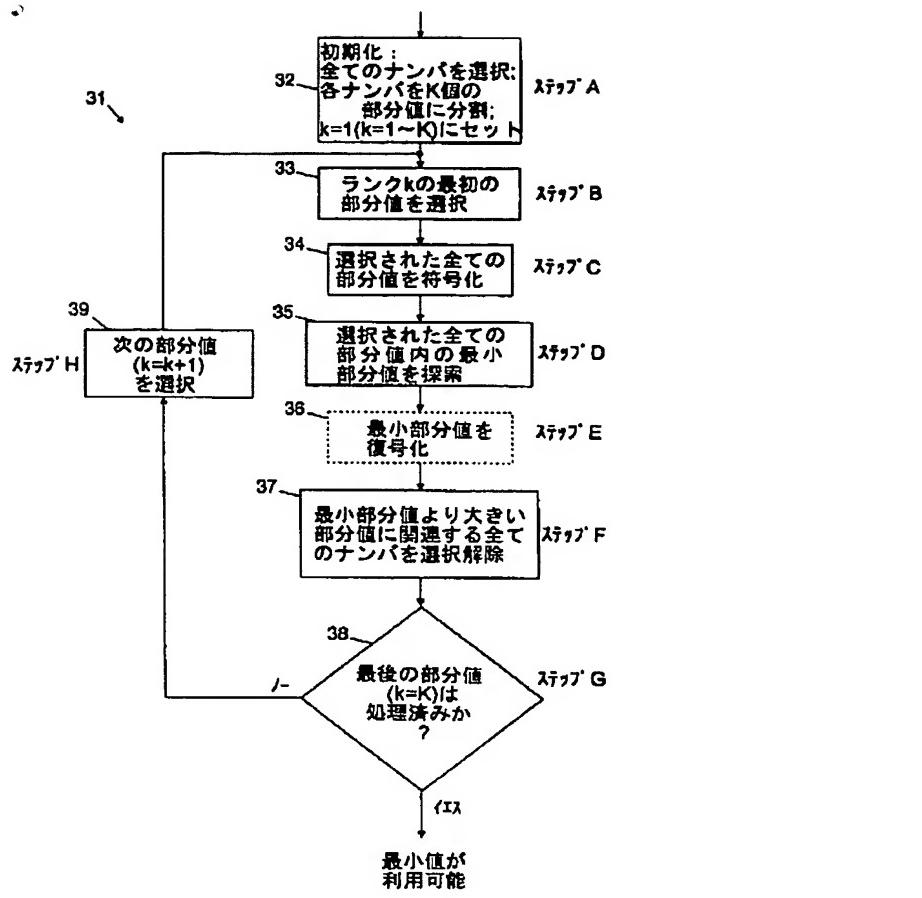
【図4】



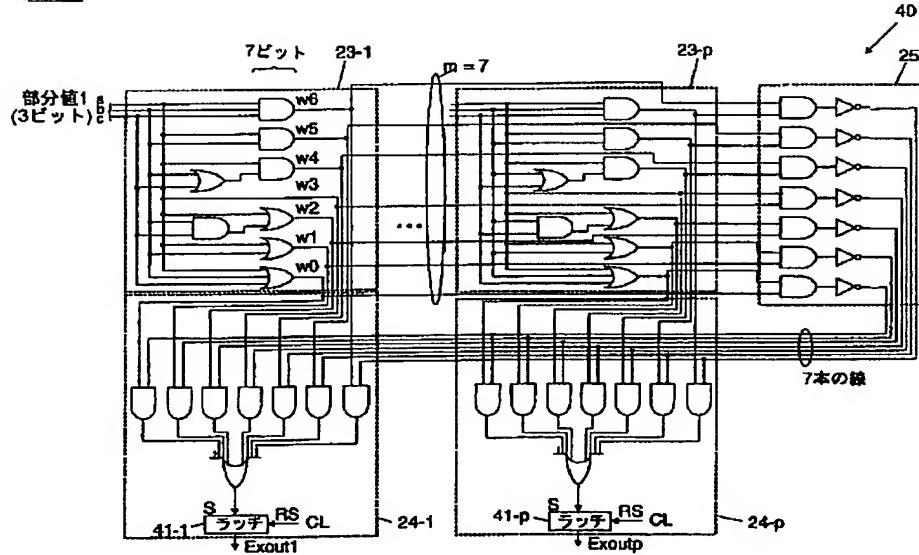
〔四六〕



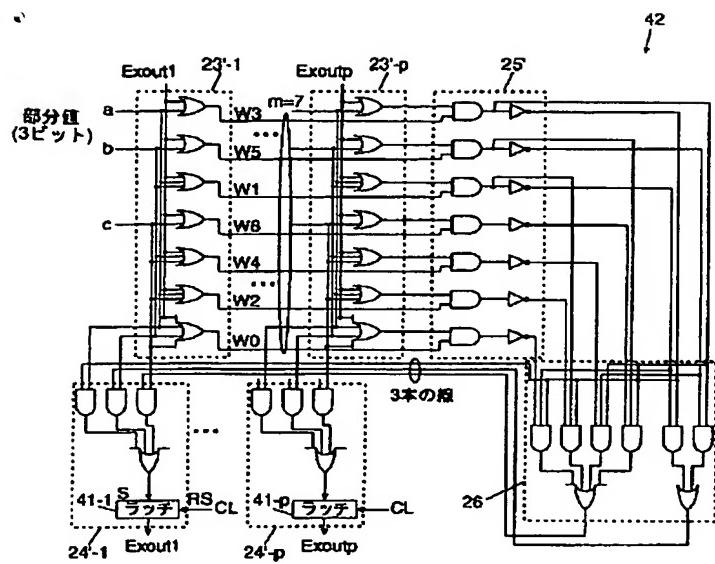
〔图5〕



【図7】



【図8】



【図9】

